УДК 621.372:376.56
© Р. Вангала[1], І. Стрепко[1], 2012

АПАРАТНО–ПРОГРАМНА РЕАЛІЗАЦІЯ СТРУКТУР ПРОЦЕСОРІВ СИСТЕМ АВТОМАТИЧНОГО КЕРУВАННЯ НА ОСНОВІ КОМБІНОВАНОГО ПОДАННЯ СИГНАЛІВ

Розглядаються методи побудови швидкодіючих процесорів систем автоматичного керування на основі комбінованого подання сигналів.

The constructing methods of automatic control systems high–speed processors based on the combined signals representation are considering.

1. ВСТУП

Побудова систем автоматичного керування (САК) поліграфічним обладнанням має ряд особливостей, до яких в першу чергу належить висока точність виконання операцій, наприклад, для суміщення фарб і т.п., еквівалентна 12–16 двійковим розрядам [2]. Для формування керуючих сигналів з такою високою точністю необхідна обробка сигналів з такою ж і навіть вищою розрядністю, що вимагає відповідних ресурсів апаратури. Тому реалізація достатньо складних алгоритмів, які характерні для систем керування сучасним поліграфічним обладнанням, обмежена як по швидкодії, так і в апаратурному плані. Зазначимо, що метод підвищення швидкодії шляхом зменшення розрядності призводить до зниження точності системи керування і тому не може застосовуватись.

Також через обмеження в вартості апаратури при реалізації багатоканальних процесорів САК не завжди можна застосувати розпаралелювання обробки, наприклад, порозрядне, оскільки вказані затрати ростуть пропорційно кількості каналів та ступеню розпаралелювання.

Особливо високі вимоги ставляться до систем, які працюють в замкнутому контурі керування швидкоплинними процесами, через запізнення даних в процесі АЦП і обробки неперервного сигналу. В цьому випадку швидкодія процесорів при заданій роздільній здатності є одним з найбільш важливих параметрів системи.

Тому слід розробити нові підходи до перетворення, обробки і формування сигналів в САК реального часу на основі комбінованих методів представлення і обробки сигналів, працюючих в замкнутому контурі керування.

---

[1] Українска академія друкарства

2. МЕТА РОБОТИ

Метою роботи є синтез алгоритмів функціонування та структур систем автоматичного керування з цифровими регуляторами на основі комбінованих методів різницевого подання сигналів.

3. РОЗРОБКА АЛГОРИТМІВ КЕРУВАННЯ

Використаємо для реалізації цифрових САК системи з відомою імпульсною характеристикою (ІХ) системи керування. В такому випадку алгоритм функціонування процесора регулятора системи при скінченній довжині ІХ можна представити у вигляді згортки [9]:

$$z_n = \sum_{m=0}^{M-1} x_{n-m} h_m \,, \tag{1}$$

де $\{x_n\}, n > 0, \{z_n\}, n > 0$ – квантовані відліки вхідного та вихідного сигналів процесора (регулятора),

$\{h_m\}, m = \overline{0, M-1}$ – його імпульсна характеристика.

Для отримання зручних алгоритмів функціонування введемо наступні позначення:

для вхідного сигналу:

$\mathbf{X}_n = \left\| x_1, ..., x_n \right\|^T$

вихідного сигналу:

$\mathbf{Z}_n = \left\| z_1, ..., z_n \right\|^T$,

та відповідні оператори:

$$\mathbf{H}_n^t = \begin{Vmatrix} 0 & ... & ... & ... & 0 \\ 1 & 0 & ... & ... & 0 \\ 0 & 1 & 0 & ... & 0 \\ ... & ... & ... & ... & ... \\ 0 & ... & 0 & 1 & 0 \end{Vmatrix}, \tag{2}$$

$$\mathbf{B}_n^{(1)} = \sum_{i=1}^{n} \sum_{k=1}^{n-i+1} (\mathbf{H}_n^t)^{k+i-2} \,,$$

$$\mathbf{B}_n^{(h)} = \sum_{m=0}^{M-1} h_m (\mathbf{H}_n^t)^m \,. \tag{3}$$

Має місце:

$$(\mathbf{H}_n^t)^q = \mathbf{0}, q \geq n, (\mathbf{H}_n^t)^0 = \mathbf{I}_n,$$

де $\mathbf{I}_n = \begin{Vmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & \dots & 0 \\ 0 & 0 & 0 & 1 \end{Vmatrix}$ – одинична матриця.

Застосуємо комбіноване представлення вихідного сигналу регулятора (1) шляхом виділення його перших $\{\nabla z_k\}$ та других $\{\nabla^2 z_k\}$ різниць:

$$\begin{aligned} z_n &= z_{n-1} + \nabla z_n = z_{n-1} + \sum_{k=1}^{n} \nabla^2 z_k, \\ \nabla z_0 &= \nabla^2 z_0 = 0. \end{aligned} \quad (4)$$

З відповідних різниць сигналів отримуємо:

$$\begin{aligned} \nabla z_n &= z_n - z_{n-1}, \\ z_0 &= 0. \end{aligned} \quad (5)$$

З врахуванням введених позначень отримуємо, що (1) може бути записано в матричній формі:

$$\begin{aligned} \mathbf{Z}_n &= \sum_{i=1}^{n} (\mathbf{H}_n^t)^{i-1} \nabla \mathbf{Z}_n = \\ &= \sum_{i=1}^{n} \sum_{k=1}^{n-i+1} (\mathbf{H}_n^t)^{k+i-2} \nabla^2 \mathbf{Z}_n \end{aligned} \quad (6)$$

де $\nabla \mathbf{Z}_n = \left\| \nabla z_1, \dots, \nabla z_n \right\|^T$,

$\nabla^2 \mathbf{Z}_n = \left\| \nabla^2 z_1, \dots, \nabla^2 z_n \right\|^T$.

Тоді матриця передавальної функції процесора САК в термінах z –перетворення:

$$\begin{aligned} \mathbf{T}(z) &= \sum_{i=1}^{n} \sum_{m=0}^{M-1} h_m(z) (\mathbf{H}_n^{(t)})^{i+m-1} = \\ &= \mathbf{B}_n^{(1)} \mathbf{B}_n^{(h)}(z) \end{aligned} \quad (7)$$

Отримані алгоритми є основою для побудови процесорів швидкодіючих САК з будь–яким видом подання сигналів.

4. СИНТЕЗ АЛГОРИТМІВ І СТРУКТУР САК НА ОСНОВІ КОМБІНОВАНОГО ПРЕДСТАВЛЕННЯ СИГНАЛІВ

Для знаходження зручних алгоритмів функціонування процесорів САК слід виконати перемножеження і накопичення відповідних синалів [5]. Для виконання перемноження відліків запишемо кроки адаптивного подання у вигляді:

$$p_i^{(x)} = E_i^{(x)} 2^{q_i^{(x)}}, \tag{8}$$

де $E_i^{(x)}$ – знак, $q_i^{(x)} \in (0, r_s - 1)$ – цифровий еквівалент кроку. Тоді перемноження таких сигналів зводиться до виконання операції:

$$\begin{aligned} P_i(x,h) &= p_i^{(x)} p_i^{(h)} = E_i^{(x)} E_i^{(h)} 2^{q_i^{(x)} + q_i^{(h)}} = \\ &= [2(\overline{B_i^{(x)0} \otimes B_i^{(h)0}}) - 1] \cdot 2^{q_i^{(x)} + q_i^{(h)}}. \end{aligned} \tag{9}$$

Виконаємо еквівалентні перетворення:

$$\begin{aligned} z_k &= \sum_{i=0}^{M-1} x_{k-i} h_i = \\ &= h_0 x_k + h_1 x_{k-1} + \ldots + h_{M-1} x_{k-(M-1)}. \end{aligned} \tag{10}$$

З умови, що ІХ симетрична відносно середини, тобто система має лінійну ФЧХ:

$$h_0 = h_{M-1}, h_1 = h_{M-2}, \ldots \tag{11}$$

отримуємо:

$$z_k = \sum_{m=0}^{M-1} x_{k-(M-1)+m} h_m \ . \tag{12}$$

Позначимо $k - (M-1) = q$, отримаємо інший запис (12):

$$z_k = \sum_{m=0}^{M-1} x_{q+m} h_m \ . \tag{13}$$

з умовою $h_{-1} = 0$. Або більш докладно:

$$z_k = \sum_{m=0}^{M-1} (x_{q+m-1} + s_{q+m}^{(x)})(h_{m-1} + s_m^{(h)}) = \\ = \sum_{m=0}^{M-1} (x_{q+m-1}h_{m-1} + s_{q+m}^{(x)}h_{m-1} + s_m^{(h)}x_{q+m-1} + s_m^{(h)}s_{q+m}^{(x)}). \quad (14)$$

Запишемо добуток сигналів з комбінованим (різницево–повнорозрядним) поданням $x_k = x_{k-1} + s_k^{(x)}, h_m = h_{m-1} + s_m^{(h)}$. Тоді отримуємо для $P_{q+m} = x_{q+m}h_m$ аналогічно (3):

$$z_k = \sum_{m=0}^{M-1} P_{q+m} . \quad (15)$$

В свою чергу очевидно, що $P_{q+m} = P_{q+m-1} + \delta P_{q+m}$, або $P_{q+m} = \sum_{r=0}^{m} \delta P_{q+r}$. Тоді можна записати

$$z_k = \sum_{m=0}^{M-1} \sum_{r=0}^{m} \delta P_{q+r} = MP_{q-1} + (M-1)P_{q-2} + ... + 2P_1 + P_0 , \quad (16)$$

де

$$\delta P_{q+r} = x_{q+r-1}s_r^{(h)} + h_{r-1}s_{q+m}^{(x)} + s_r^{(h)}s_{q+r}^{(x)}, r = \overline{0,m}; \\ P_{q-1} = 0; \quad (17) \\ P_{q+r} = P_{q+r-1} + \delta P_{q+r}.$$

Після нормування сигналів з однаковим мінімальним кроком $s_{\min}^{(x)} = s_{\min}^{(y)} = s_{\min}$, можна записати:

$$P_{q+r} = P_{q+r-1} + x_{q+r-1}p_r^{(h)} + h_{r-1}p_{q+m}^{(x)} + p_r^{(x)}p_{q+r}^{(h)} . \quad (18)$$

5. НАЙПРОСТІШЕ (17), (18) РЕАЛІЗУЄТЬСЯ У ВИПАДКУ ПОДАЧІ СИГНАЛІВ ЗА ДОПОМОГОЮ ОДНОРОЗРЯДНИХ РІЗНИЦЬ. ТОДІ:

$$P_{q+r} = P_{q+r-1} + x_{q+r-1}s_r^{(h)} + h_{r-1}s_{q+m}^{(x)} + s_r^{(x)}s_{q+r}^{(h)} , \quad (19)$$

тобто для обчислення послідовності добутків $\{x_{k-m}h_m\}, k > 0$ в цьому форматі необхідно виконати однорозрядне перемноження та підсумовування модулів сигналів $|x_{k-m}|$ та $|h_m|$ з врахуванням добутків знаків кроків та знакових розрядів повнорозрядних сигналів.

$$P_{q+r} = P_{q+r-1} + 2\left(\overline{B_{1,q+r}^{(x)} \oplus B_{1,r}^{(h)}}\right) - 1 + \\ + \left[2\left(\overline{B_{1,q+r}^{(x)} \oplus B_{r}^{(h)0}}\right) - 1\right] \cdot \left|h_r\right| + \left[2\left(\overline{B_{1,r}^{(h)} \oplus B_{q+r}^{(x)0}}\right) - 1\right] \cdot \left|x_{q+r}\right|. \quad (20)$$

де $B_k^{(.)0}$ – знаковий розряд повнорозрядного подання сигналу (.).

Реалізація алгоритму (20), а також формування вихідного сигналу процесора системи керування показана на рис.1. В ньому передбачається накопичення однорозрядних кроків $\{s_k^{(x)}\}, \{s_m^{(h)}\}$ реверсивними лічильниками СТ для отримання відповідних апроксимуючих сигналів $\{\hat{x}_k\}$, $k > 0, \{\hat{h}_m\}, m = \overline{0, M-1}$, перемноження їх з врахуванням знаків за допомогою елементів Виключне АБО та накопичення в суматорі SM та буферному регістрі RG. Очевидно, що дана структура простіша за структуру матричного перемножувача, а крім того, в ній можна виконати одночасно накопичення послідовності добутків [3].

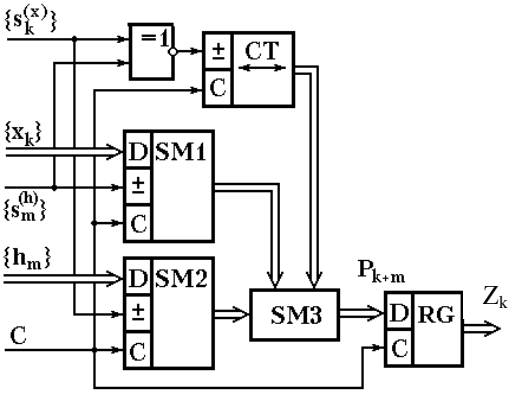

Рис. 1. Метод формування послідовності добутків та згортки сигналів, поданих на основі однорозрядних кодів

Застосування таких процесорів систем керування перспективне в зв'язку з їх низькими апаратними затратами при високій роздільній здатності та швидкодії.

6. ВИСНОВКИ

В даній роботі викладено важливі для проектування цифрових регуляторів питання оптимізації їх структур та запропоновані алгоритми функціонування процесорів керування .

Розроблені алгоритми процесорів САК на основі запропонованих методів комбінованого подання сигналів реалізують паралельно–послідовну роботу, тобто обчислення першої та другої різниці може здійснюватись паралельно або послідовно, а накопичення цих різниць – послідовно, що суттєво скорочує затримку формування вихідного сигналу.

Результатом проведеного дослідження є практична розробка цифрових регуляторів на основі різницевих структур, які дозволяють створювати САК, що працюють в реальному масштабі часу, та характеристики яких порівняні з результатами найбільш розвинутих традиційних методів керування.

1. Гостев В.И. Системы управления с цифровыми регуляторами: Справочник / В.И. Гостев. – К.: Техника, 1990. – 280 с. 2. Дурняк Б.В. Математичне моделювання і реалізація систем керування стрічкопровідними системами / Б.В.Дурняк, О.В. Тимченко. – К.: Вид. центр „ПРОСВІТА", 2003. – 232 с. 3. Квакернаак Х. Линейные оптимальные системы управления: Пер. с англ. / Х.Квакернаак, Р.Сиван. – М.: Мир, 1977. 4. Олсон Г. Цифровые системы автоматизации управления / Г. Олсон, Дж. Пиани. – СПб. : Диалект, 2001. – 557с. 5. Тимченко О.В. Різницеві методи цифрової фільтрації. / О.В. Тимченко – Львів: Фенікс, 1999. – 388с. 6. Стрепко І.Т. Проектування систем керування на однокристальних мікро–ЕОМ / І.Т. Стрепко, О.В. Тимченко, Б.В. Дурняк. – К.: Фенікс, 1998. – 286 с. 7. Сю Д. Современная теория автоматического управления и ее применение: Пер. с англ. / Д. Сю, А. Мейер. – М.: Машиностроение, 1972. 8. Трофимов А.И. Методы теории автоматического управления, ориентированные на применение ЭВМ. Линейные стационарные и нестационарные модели: Учебник для вузов / А.И. Трофимов, Н.Д. Егупов, А.Н. Дмитриев. – М.: Энергоатомиздат, 1997. – 656с. 9. Стрепко І.Т. Реалізація алгоритмів систем автоматичного регулювання з заданою точністю обчислень /І.Т. Стрепко, О.В. Тимченко /Комп'ютерні технології друкарства. Збірник наукових праць. №13. – Львів: Видавництво Української академії друкарства, 2005. – С.57–61. 10. Стрепко І.Т. Алгоритм синтезу регуляторів систем автоматичного керування в частотній області з заданою точністю апроксимації /І.Т. Стрепко, Р.Я. Вангала, В.М. Пуцило /Комп'ютерні технології друкарства. Збірник наукових праць. №16. – Львів: Видавництво Української академії друкарства, 2006. – С.10–14.