

УДК 681.335 (088.8)

СПРОЩЕННЯ РЕАЛІЗАЦІЇ ТА ПІДВИЩЕННЯ ТОЧНОСТІ РЕКУРЕНТНИХ ЛОГАРИФМІЧНИХ АЦП

З. Р. Мичуда, Л. З. Мичуда, Г. С. Єлісеєва

*Національний університет «Львівська політехніка»
вул. С.Бандери, 12, м. Львів, Україна, 79013*

У статті описано новий спосіб побудови рекурентних логарифмічних АЦП, який дає змогу спростити схемну реалізацію та підвищити точність перетворювачів на 2 - 4 двійкові розряди порівняно з аналогами.

***Ключові слова:** логарифмічний АЦП; рекурентний принцип; побудова; параметри; точність.*

Постановка проблеми. Логарифмічні аналого-цифрові перетворювачі (ЛАЦП) не тільки здійснюють (як і лінійні АЦП) перетворення аналогових сигналів у цифру, але й забезпечують додаткові можливості: функціональне перетворення, широкий діапазон вхідних сигналів, лінеаризацію характеристик, стаке значення відносної похибки перетворення та можливість опрацювання сигналів у логарифмічні арифметиці. Останнє є чи не найважливішим, оскільки довготривалі операції лінійної арифметики множення та ділення зводяться в логарифмічній арифметиці до швидких операцій додавання та віднімання, причому швидшим буде і виконання піднесення до степеня чи добування кореня. Збільшення швидкодії особливо важливе для систем реального часу (аеро-космічні апарати, автоматичні системи, роботи тощо), оскільки в них часові затримки недопустимі або мають бути зведені до мінімуму.

Аналіз останніх досліджень та публікацій. Логарифмічні аналого-цифрові перетворювачі, як і лінійні АЦП, поділяють на класи: послідовні, порозрядні та паралельні.

Послідовні ЛАЦП потребують лише одної зразкової величини [1], але мають найнижчу швидкодію.

Паралельні ЛАЦП мають найвищу швидкодію, але вимагають застосування найбільшої кількості зразкових величин, що практично обернено пропорційна до точності перетворення. Це значно збільшує апаратні витрати та вартість реалізації.

Порозрядні ЛАЦП [2, 3] є „серединкою” між послідовними та паралельними: вони мають достатню швидкодію та точність. У них кількість зразкових величин рівна кількості двійкових розрядів. Отже, зі збільшенням точності порозрядних ЛАЦП відповідно зростає в них кількість зразкових величин, що, у свою чергу, збільшує складність конструкції та ціну перетворювачів.

У різних сферах застосування перетворювачів аналогових сигналів для спрощення побудови і програмування, а також для зменшення часу перетворення застосовують так звані рекурентні формули. Суть рекурентних

алгоритмів зазвичай полягає у запам'ятовуванні останнього значення і використання саме його для обчислень. Зокрема, у [4] описано рекурентні алгоритми синтезу усереднюючих перетворювачів для систем об'єднаних електричних сигналізаторів наявності підземних електричних комунікацій. У [5] було виведено рекурентні формули, які дозволили спростити розрахунки багатоступінчатих перехідних процесів в перетворювачах із сталою та змінною структурою та розробити методи визначення квазіусталеного режиму роботи. У роботі [6] аналого-цифровий перетворювач з нейронно кодованим зміщенням рівня працює за рекурентним алгоритмом.

Мета статті — дослідження способу побудови ЛАЦП за рекурентним принципом перетворення для спрощення схемної реалізації та підвищення точності.

Виклад основного матеріалу дослідження. Спрощена структурна схема рекурентного ЛАЦП, що ілюструє запропонований принцип перетворення [7], наведена на рис. 1, де позначено: СУ – схема управління, ГГІ - генератор тактових імпульсів, Км - компаратор, ЛР – лічильник результату, РР - реєстр результату, БФПФ - блок формування показникової функції, що містить ДН – дільник напруги, П/Ком – перемножувач/комутатор, ЕП1 і ЕП2 – елементи пам'яті 1 і 2, U_0 - опорна напруга, $U_{вх}$ – вхідна напруга, F_T - тактова частота, N_1 і N_2 – відповідно старші та молодші розряди вихідного коду, U_{k1} - U_{kn} - компенсаційні напруги, ζ^n - ζ^{-1} - коефіцієнти передачі дільника напруги по виходах 1 - n; А, В, С і ПУСК – керуючі сигнали.

Виходи блоку формування показникової функції БФПФ і перемикача П2 об'єднані з входом дільника напруги ДН і другим входом компаратора Ком.

Сутність роботи запропонованого рекурентного ЛАЦП (рис.1) полягає в наступному. Засигналом ПУСК всі функціональні вузли ЛАЦП устанавлюються у початкове положення, а опорна напруга записується в елемент пам'яті ЕП1. З виходу ЕП1 ця напруга через перемножувач/комутатор підводиться до входу дільника напруги ДН, на виході якого відтворюються компенсаційні напруги U_{k1} - U_{kn} , причому U_{k1} – має найбільшу вагу, а U_{kn} – найменшу.

Після закінчення сигналу ПУСК розпочинається процес перетворення, який відбувається циклічно опитуванням ДН від найбільшої ваги до найменшої. У лічильнику результату ЛР буде записуватися кількість циклів перетворення не рахуючи останнього. Останнім циклом є той, в якому відбулося спрацювання компаратора Км, що має місце при переході компенсаційної напруги на виході блоку формування показникової функції БФПФ через рівень вхідного сигналу.

У першому циклі перетворення комутатор Ком почергово підключає виходи ДН до входу перемножувача/комутатора П/Ком. Коли буде опитаний вихід ДН з найменшою вагою U_{kn} , закінчується перетворення на першому циклі і наступним тактовим імпульсом у лічильник результату ЛР записується одиниця, а ЛАЦП переходить до перетворення у наступному циклі, тобто у другому циклі.

У подальших циклах перетворення відбувається аналогічно.

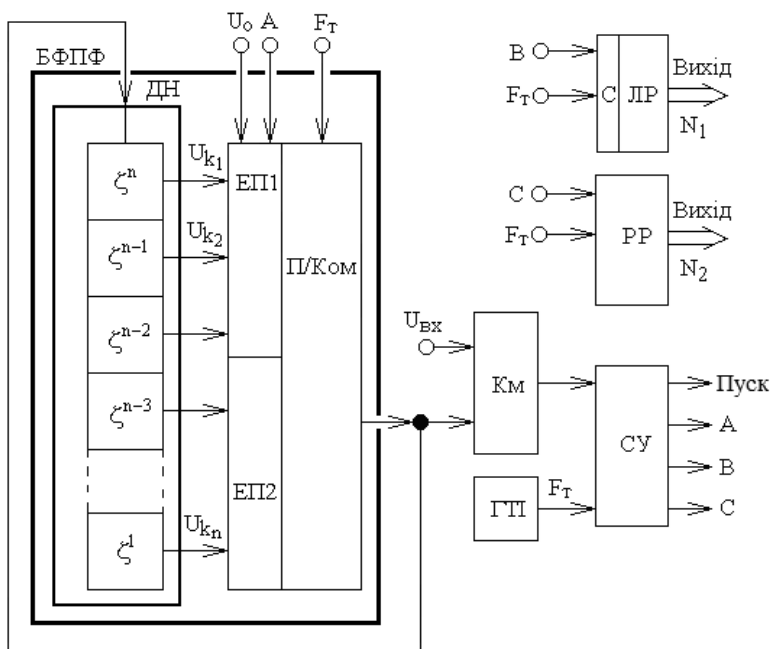


Рис. 1. Спрощена структурна схема запропонованого рекурентного ЛАЦП

Останнім циклом перетворення буде той цикл, в якому рівень біжучого значення компенсаційної напруги (U_{ki}) пройде через рівень вхідного сигналу $U_{ВХ}$ і вперше спрацює компаратор Км. Після цього блокується запис циклів у лічильник результату ЛР, а регістр результату РР продовжує працювати за алгоритмом послідовних наближень. Остаточню у РР буде записано двійковий код, в якому логічні одиниці будуть записані у ці розряди, що відповідають перевищенню рівня компенсаційної напруги над рівнем вхідної ($U_{ki} > U_{ВХ}$). Коли мав місце перехід компенсаційної напруги через рівень вхідної ($U_{ki} < U_{ВХ}$), то у відповідні розряди коду РР будуть записані логічні нулі.

Остаточню старші розряди вихідного коду будуть записані у лічильнику циклів ЛР, а молодші – у регістрі результату РР.

Функціональна схема запропонованого рекурентного логарифмічного аналогово-цифрового перетворювача подана на рис. 2. Вона містить ГТІ - генератор тактових імпульсів, Км - компаратор, ЕЗ1 і ЕЗ2 - елементи збігу 1 і 2, РПН - регістр послідовних наближень, Л - лічильник, БФПФ - блок формування показникової функції, ДОН - джерело опорної напруги, Т1 і Т2 - тригери 1 і 2, К0-К4 - п'ять аналогових ключів, С1 і С2 - конденсатори 1 і 2, ПН - повторювач напруги, АК - аналоговий комутатор, РМП - регульований масштабний перетворювач, ОВ - одновібратор, ЛР - лічильник результату.

Особливістю реалізації цього ЛАЦП є суміщення дільника напруги ДН з перемножувачем/комутатором П/Ком, причому дільник напруги ДН виконаний як регульований масштабний перетворювач РМП з елементами пам'яті -

конденсаторами С1 і С2, що перемикаються ключами К1-К5. Перемикання входів РМП здійснюється комутатором Ком. Окрім того, в якості регістра результату використано регістр послідовних наближень РПН.

Коефіцієнти передачі регульованого масштабного перетворювача РМП задаємо за формулою

$$K_i = \zeta 2^i,$$

де i - номер входу регульованого масштабного перетворювача РМП, причому $i=1,2,3,\dots,n$;

N_n - номінальне значення вихідного коду логарифмічного перетворювача, $N_n = 2^n$;

ζ - основа логарифма, значення якої визначається за формулою

$$\zeta = e^{\frac{1}{N_n} \cdot \ln \left(\frac{U_{\text{вх max}}}{U_{\text{вх min}}} \right)}$$

i вибирається як $1 > \zeta = \text{const}$.

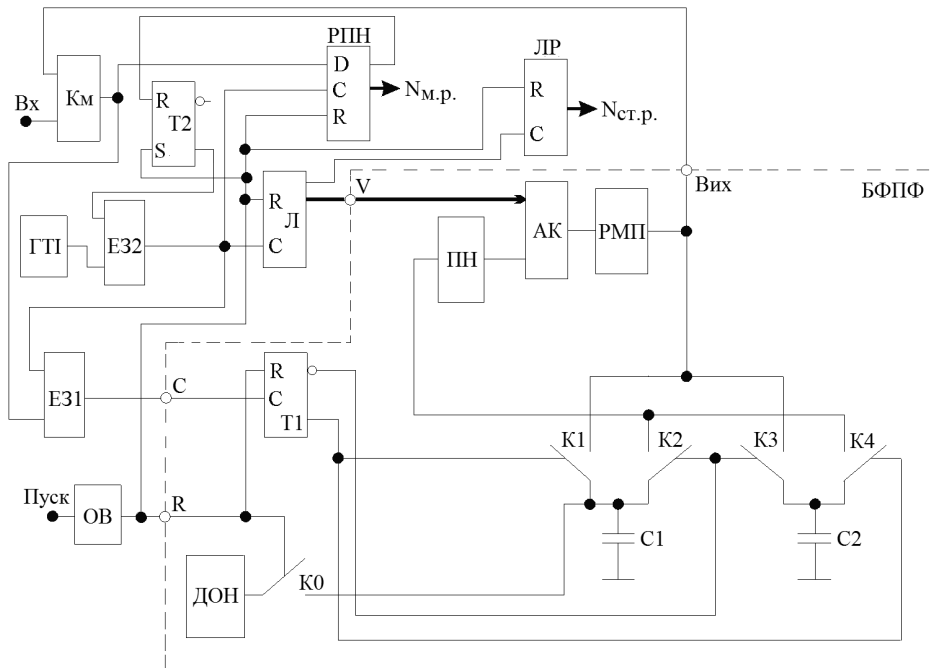


Рис. 2. Функціональна схема запропонованого рекурентного ЛАЦП

Сутність роботи запропонованого рекурентного ЛАЦП полягає в наступному.

Початкова установка. Сигналом «Пуск» запускається одновібратор ОБ, вихідний імпульс якого вмикає ключ К0, обнулює лічильники Л і ЛР, регістр

РПН та прямий вихід тригера Т1, а на прямому виході тригера Т2 установлює логічну «1». Вихідний код лічильника Л вмикає через аналоговий комутатор АК перший вхід РМП.

Через включений ключ К0 перший конденсатор С1 заряджається до рівня опорної напруги. Логічна «1» з інверсного виходу тригера Т1 вмикає ключі К2 і К3 в результаті чого напруга з першого конденсатора С1 передається через повторювач напруги ПН, аналоговий комутатор АК і перший вхід регульованого масштабного перетворювача РМП на другий конденсатор С2. Напруга ($U_{БФПФ}$) на виході блоку формування показникової функції, який з'єднаний через включений ключ К3 з другим конденсатором С2, установлюється рівною

$$U_1 = U_0 \zeta^2 \frac{N_n}{2^1}.$$

У загальному випадку напруга на виході блоку формування показникової функції порівнюється компаратором Км із вхідним сигналом $U_{вх}$; у тому випадку коли $U_{БФПФ} > U_{вх}$ на виході компаратора Км є рівень логічної «1», а коли $U_{БФПФ} \leq U_{вх}$ - на виході компаратора логічний «0».

Після закінчення імпульса одновібратора ОВ починається перетворення по циклах, такт за тактом. Кожному k-циклу ($k=1,2,3...m$) відповідає n тактів. Кожному такту відповідає один імпульс генератора тактових імпульсів ГТІ. Під час перетворення елемент збігу Е32 постійно відкритий логічною «1» з прямого виходу тригера Т2, а елемент збігу Е31 відкритий лише під час логічної «1» на виході компаратора Км.

Перший цикл перетворення. Перший імпульс генератора тактових імпульсів (після закінчення імпульса одновібратора) проходить через елемент збігу Е32 і вписує результат порівняння з виходу компаратора Км в регістр РПН та подається також на один із входів елемента збігу Е31, на другий вхід якого подається сигнал з виходу компаратора Км. Якщо на виході компаратора Км була логічна «1», то на виході елемента збігу Е31 також з'явиться логічна «1», яка перемкне тригер Т1, вихідні сигнали котрого перемикають пари ключів К1,К4 і К2,К3. У випадку логічного «0» на виході компаратора Км на виході елемента збігу Е31 також буде логічний «0», в результаті чого тригер Т1 не перемикається і пари ключів К1,К4 і К2,К3 залишаються в попередньому стані.

У час закінчення першого імпульса ГТІ спадаючим фронтом вихідного сигналу елемента збігу Е32 перемикається лічильник Л і вмикається другий вхід масштабного перетворювача РМП.

Після першого такту перетворення в регістрі РПН записаний результат першого порівняння сигналу з виходу блоку формування показникової функції і вхідного сигналу.

Коли результат порівняння в першому такті був логічною «1», то тригер Т1 перемкнув пари ключів К1,К4 і К2,К3 (вимкнув ключі К2,К3 і увімкнув ключі К1,К4). В результаті того другий конденсатор С2 залишився з'єднаний із входом повторювача напруги ПН, а перший конденсатор С1 - з виходом

регульованого масштабного перетворювача РМП (тобто з виходом блоку формування показникової функції).

У даному випадку напруга на вході повторювача напруги ПН рівна напрузі на другому конденсаторі С2

$$U_{11} = U_o \zeta^{\frac{N_n}{2^1}},$$

а напруга на першому конденсаторі С1, з'єднаному через ключ К1 з виходом регульованого масштабного перетворювача РМП (тобто з виходом блоку формування показникової функції), установлюється рівною

$$U_{12} = U_o \zeta^{\frac{N_n}{2^1}} \zeta^{\frac{N_n}{2^2}}.$$

У другому такті перетворення (другий імпульс ГТІ) вище описаний процес повторюється. Напруга U_{12} порівнюється компаратором Км з вхідним сигналом U_{ex} . Якщо результат порівняння в другому такті логічна «1», то вона буде записана в наступний біт регістру РПН та перемкнеться тригер Т1 і лічильник Л. В результаті чого до входу повторювача напруги ПН буде під'єднаний через ключ К2 перший конденсатор С1, на якому напруга буде рівною

$$U_{12} = U_o \zeta^{\frac{N_n}{2^1}} \zeta^{\frac{N_n}{2^2}},$$

а напруга на другому конденсаторі С2, підключеному через ключ К3 до виходу регульованого масштабного перетворювача РМП (тобто до виходу блоку формування показникової функції), установлюється рівною

$$U_3 = U_o \zeta^{\frac{N_n}{2^1}} \zeta^{\frac{N_n}{2^2}} \zeta^{\frac{N_n}{2^3}}.$$

Далі наступає третій такт і т.д.

В останньому n-такті першого циклу напруга на виході блоку формування показникової функції установлюється рівною

$$U_{1n} = U_o \zeta^{\frac{N_i}{2^1}} \zeta^{\frac{N_i}{2^2}} \zeta^{\frac{N_i}{2^3}} \dots \zeta^{\frac{N_i}{2^n}} = U_o \prod_{i=1}^n \zeta^{\frac{N_i}{2^i}}.$$

У час закінчення n-ного імпульса ГТІ спадаючим фронтом вихідного сигналу елемента збігу Е32 перемикається лічильник Л в нуль і вмикає перший вхід регульованого масштабного перетворювача РМП та імпульсом переповнення лічильника Л перемикається лічильник результату ЛР, реєструючи «1» цикл перетворення.

Другий цикл перетворення починається n+1 імпульсом ГТІ і аналогічний першому циклу.

В останньому такті другого циклу напруга на виході блоку формування показникової функції встановлюється рівною

$$U_{2n} = U_0 \zeta^{\frac{N_H}{2^1}} \zeta^{\frac{N_H}{2^2}} \zeta^{\frac{N_H}{2^3}} \dots \zeta^{\frac{N_H}{2^n}} \zeta^{\frac{N_H}{2^{n+1}}} \zeta^{\frac{N_H}{2^{n+2}}} \zeta^{\frac{N_H}{2^{n+3}}} \dots \zeta^{\frac{N_H}{2^{2n}}} = \\ = U_0 \prod_{k=1}^2 \prod_{i=1}^n \zeta^{2^{(k-1)n+i}},$$

де k – номер циклу перетворення.

Після закінчення останнього ($2n$) імпульса ГТІ на другому циклі спадним фронтом вихідного сигналу елемента збігу ЕЗ2 перемикається лічильник Л у нуль і вмикає перший вхід регульованого масштабного перетворювача РМП та імпульсом переповнення лічильника Л перемикається лічильник результату ЛР, реєструючи «2» цикли перетворення.

Робота на інших циклах перетворення відбувається аналогічно.

m -цикл перетворення є останнім циклом перетворення. В останньому такті m -циклу напруга на виході блоку формування показникової функції встановлюється рівною

$$U_{mn} = U_{mn+1} = U_0 \zeta^{\frac{N_H}{2^1}} \zeta^{\frac{N_H}{2^2}} \zeta^{\frac{N_H}{2^3}} \dots \zeta^{\frac{N_H}{2^n}} \zeta^{\frac{N_H}{2^{n+1}}} \zeta^{\frac{N_H}{2^{n+2}}} \zeta^{\frac{N_H}{2^{n+3}}} \dots \zeta^{\frac{N_H}{2^{2n}}} \dots \\ \cdot \zeta^{\frac{N_H}{2^{(m-1)n+1}}} \zeta^{\frac{N_H}{2^{(m-1)n+2}}} \zeta^{\frac{N_H}{2^{(m-1)n+3}}} \dots \zeta^{\frac{N_H}{2^{mn}}}.$$

У загальному випадку, в i -такті k -циклу напруга на виході блоку формування показникової функції

$$U_{kn} = U_0 \prod_{k=1}^m \prod_{i=1}^n \zeta^{a_i \cdot \frac{N_H}{2^{(k-1)n+i}}}.$$

Якщо на m -циклі перетворення в такті $(m-1)n+2$ результат порівняння компаратором K_m був рівний нулю (що має місце при $U_{БФПФ} \leq U_{\text{вх}}$), то у відповідному розряді вихідного коду регістра РПН буде записано нуль, а у вихідній напрузі блоку формування показникової функції буде відсутня складова напруги $\zeta^{\frac{N_H}{2^{(m-1)n+2}}}$, що відповідає цьому розряду:

$$U_{mn} = U_0 \zeta^{\frac{N_H}{2^1}} \zeta^{\frac{N_H}{2^2}} \zeta^{\frac{N_H}{2^3}} \dots \zeta^{\frac{N_H}{2^n}} \zeta^{\frac{N_H}{2^{n+1}}} \zeta^{\frac{N_H}{2^{n+2}}} \zeta^{\frac{N_H}{2^{n+3}}} \dots \zeta^{\frac{N_H}{2^{2n}}} \dots \\ \cdot \zeta^{\frac{N_H}{2^{(m-1)n+1}}} \zeta^{\frac{N_H}{2^{(m-1)n+3}}} \dots \zeta^{\frac{N_H}{2^{mn}}}.$$

Останній $m \cdot n$ - імпульс ГТІ проходить через елемент збігу Е32 і вписує результат порівняння з виходу компаратора Км в регістр РПН. Таким чином у регістрі РПН виявляється записаним результат перетворення - двійкове число $N_{m.p.}$ (молодші розряди вихідного коду), яке рівне

$$N_{m.p.} = \sum_{k=1}^m \sum_{i=1}^n a_i \cdot \frac{N_H}{2^{(k-1)n+i}},$$

де $a_i = 1$ коли результат порівняння компаратора на i -такті в k -циклі є рівний логічній „1”;
 $a_i = 0$ коли результат порівняння компаратора на i -такті в k -циклі є рівний логічному „0”.

Після закінчення останнього $m \cdot n$ - імпульса генератора тактових імпульсів на останньому m -циклі спадним фронтом вихідного сигналу елемента збігу Е32 перемикається лічильник Л у нуль і імпульсом переповнення лічильника Л перемикається лічильник результату ЛР реєструючи « m » циклів перетворення, а імпульс переносу регістра РПН перемикає тригер Т2 у логічний «0» на прямому виході, яким забороняється проходження імпульсів через елемент збігу Е32 і це є закінченням перетворення. Логічна «1» на інверсному виході тригера Т2 є сигналом «Дані готові».

Старші розряди вихідного коду ($N_{cm.p.}$) записані у лічильнику результату ЛР мають значення

$$N_{cm.p.} = 2^n \cdot (m-1).$$

Вихідний код запропонованого рекурентного ЛАЦП

$$N = N_{cm.p.} + N_{m.p.} = 2^n \cdot (m-1) + \sum_{k=1}^m \sum_{i=1}^n a_i \cdot \frac{N_H}{2^{(k-1)n+i}}.$$

Кількість циклів перетворення « m » у запропонованому рекурентному ЛАЦП залежить від того, яку точність ним хочемо забезпечити, і може бути визначена за формулою

$$m = \frac{N}{N_H},$$

де N – номінальне значення коду бажаної розрядності (r), $N = 2^r$.

Час перетворення запропонованого рекурентного ЛАЦП пропорційний добутку кількості циклів перетворення на кількість тактів у циклі

$$t = m \cdot n.$$

Так при 10-ти розрядному рекурентному ЛАЦП (рис. 2) отримаємо результат перетворення для точності 10 дв.р. за 1 цикл при часі перетворення 10Т, а

для точності 12 дв.р. - за 4 цикли при часі перетворення 40Т (тут Т – період повторення імпульсів ГТІ).

Висновки. Проведені нами дослідження показують: 1) Запропонований принцип побудови рекурентних логарифмічних АЦП дає змогу досягти бажаної точності меншою кількістю зразкових величин (вагових резисторів) і меншою кількістю входів регульованого масштабного перетворювача, що спричиняє спрощення реалізації та зниження ціни перетворювача; 2) Для забезпечення бажаної точності під час перетворення входи регульованого масштабного перетворювача переключаються циклічно; 3) При збільшенні точності зростає час перетворення у два рази на кожен двійковий розряд перевищення номінальної розрядності рекурентних логарифмічних АЦП, внаслідок чого слід шукати компроміс між підвищенням точності та часом перетворення. Тому підвищення точності більше ніж на 2 – 4 двійкові розряди недоцільне, оскільки призведе до значного збільшення часу перетворення.

Список використаних джерел

1. J. Sit, R. Sarpeshkar, “A Micropower Logarithmic A/D with Offset and Temperature Compensation”, IEEE J. Solid-State Circuits, vol. 39, no. 2, pp.308-319, 2004.
2. F. Francesconi, F. Maloberti, “A low power logarithmic A/D converter”, IEEE International Symposium on Circuits and Systems, ISCAS’96, vol.1, pp. 473-476, Maj, 1996.
3. A. Szcześniak, “Application of Proteus VSM software to simulate logarithmic analog-to-digital converter with successive approximation”, XVIII Міжнародна конференція з автоматичного управління Автоматика/Automatics – 2011: Матеріали конференції, Львів: Видавництво Львівської політехніки, 2011, стор. 396-397.
4. Драбич П. П. Застосування рекурентних алгоритмів для синтезу пристроїв пошуку підземних електрокомунікацій [Текст] / Драбич П. П., Драбич О. П., Яворський І. М. // Відбір і обробка інформації. – 2002. – № 16(92), с.69 – 72.
5. Ромашко В. Я. Аналіз режимів роботи перетворювачів електричної енергії методом функцій вільного режиму: Дис. на здобуття наук. ступеня доктора техн. наук за спеціальністю 05.09.12 – напівпровідникові перетворювачі електроенергії. — Національний технічний університет України «Київський політехнічний інститут», Київ, 2010. Режим доступу: <http://ela.kpi.ua/handle/123456789/806>.
6. Aigerim Tankimanova, Akshay Kumar Maan, Alex Pappachen James. (2017) Level-shifted neural encoded analog-to-digital converter [conference-paper]/ 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS): 5-8 December 2017, Batumi, Georgia. DOI: 10.1109/icecs.2017.8292026.
7. Z. Myczuda. Logarytmiczny przetwornik analogowo-cyfrowy / Patent na wynalazek PL232384 Polska, 28.06.2019, WUP 06/19.

REFERENCES

1. J. Sit, R. Sarpeshkar, (2004). “A Micropower Logarithmic A/D with Offset and Temperature Compensation”, IEEE J. Solid-State Circuits, vol. 39, no. 2, pp.308-319. (in English)
2. F. Francesconi, F. Maloberti, (1996). “A low power logarithmic A/D converter”, IEEE International Symposium on Circuits and Systems, ISCAS’96, vol.1, pp. 473-476, Maj. (in English)

3. A. Szcześniak, (2011). "Application of Proteus VSM software to simulate logarithmic analog-to digital converter with successive approximation", XVIII Mizhnarodna konferentsiia z avtomatychnoho upravlinnia Avtomatyka/Automatics – 2011: Materialy konferentsii, Lviv: Vydavnytstvo Lvivskoi politekhniky, stor. 396-397. (in English)
4. Drabych P. P. (2002). Zastosuvannia rekurentnykh alhorytmiv dlia syntezu prystroiv poshuku pidzemnykh elektrokomunikatsii [Tekst] / Drabych P. P., Drabych O. P., Yavorskyi I. M. // Vidbir i obrobka informatsii. — № 16(92), s.69 – 72. (in Ukrainian)
5. Romashko V. Ya. (2010). Analiz rezhymiv roboty peretvoriuvachiv elektrychnoi enerhii metodom funktsii vilnoho rezhymu: Dys. na zdobuttia nauk. stupenia doktora tekhn. nauk za spetsialnistiu 05.09.12 – napivprovidnykovi peretvoriuvachi elektroenerhii. — Natsionalnyi tekhnichniy universytet Ukrainy «Kyivskiy politekhnichniy instytut», Kyiv, Rezhym dostupu: <http://ela.kpi.ua/handle/123456789/806>. (in Ukrainian)
6. Aigerim Tankimanova, Akshay Kumar Maan, Alex Pappachen James. (2017). Level-shifted neural encoded analog-to-digital converter [conference-paper]/ 24th IEEE International Conference on Electronics, Circuits and Systems (ICECS): 5-8 December 2017, Batumi, Georgia. DOI: 10.1109/icecs.2017.8292026. (in English)
7. Z. Myczuda. (2019). Logarytmiczny przetwornik analogowo-cyfrowy / Patent na wynalazek PL232384 Polska, 28.06.2019, WUP 06/19. (in Polish)

DOI 10.32403/2411-9210-2021-1-45-33-43

SIMPLIFYING IMPLEMENTATION AND ACCURACY INCREASE OF RECURRENT LOGARITHMIC ADCS

Z. R. Mychuda, L. Z. Mychuda, H. S. Yelisieieva

*National University Lviv Politechnik
12, S.Bandery St., Lviv, 79013, Ukraine,
z_mychuda@ukr.net*

The article describes a new method of constructing recurrent logarithmic ADCs, which allows simplifying the circuit implementation and increasing the accuracy of converters by 2-4 binary digits compared to analogues.

The peculiarities of the proposed principle of construction of recurrent logarithmic ADCs are studied. Ways to simplify the implementation and increase the accuracy of the ADC are shown. The analysis of the transformation process is carried out. Mathematical dependences for the compensation voltage on the cycles of transformation and source code are derived. The number of conversion cycles is directly proportional to the nominal value of the desired bit code and inversely proportional to the nominal value of the ADC code. Increasing the accuracy above the nominal accuracy of the ADC doubles the conversion time by each subsequent bit. Conclusions and generalizations are made, which are confirmed by the given list of primary sources.

The scientific novelty of the obtained results lies in the development of a new principle of construction of recurrent logarithmic ADCs, which is based on combining

the functions of individual ADC nodes. This makes it possible to reduce the number of exemplary resistors and simplify the implementation of the ADC. This provides an accuracy higher than the nominal accuracy of the ADC by 2-4 binary digits without a significant increase in conversion time.

The results of the study make it possible to simplify the implementation of recurrent logarithmic ADCs and to obtain the desired search accuracy from the accuracy of the ACP of a given bit rate. The results can be used in the design of the system and automated telecommunications, information and measuring equipment, etc.

Keywords: *logarithmic ADC; recurrent principle; construction; parameters; accuracy.*

Стаття надійшла до редакції 18.12.2020

Received 18.12.2020